

Docket No.: 65781-012

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of :
Yoshihiko NEMOTO, et al. :
Serial No.: : Group Art Unit:
Filed: June 26, 2003 : Examiner:
For: METHOD OF MANUFACTURING SEMICONDUCTOR DEVICE

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

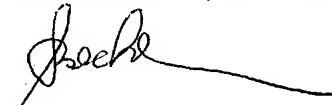
In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. 2003-027112, filed February 4, 2003

cited in the Declaration of the present application. A Certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY



Stephen A. Becker
Registration No. 26,527

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 SAB:prg
Facsimile: (202) 756-8087
Date: June 26, 2003

日本国特許庁
JAPAN PATENT OFFICE

65781-012
Nemoto et al.
June 26, 2003

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日
Date of Application:

2003年 2月 4日

出願番号
Application Number:

特願2003-027112

[ST.10/C]:

[JP2003-027112]

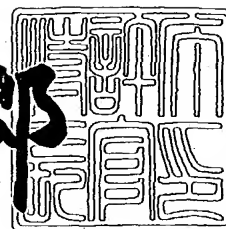
出願人
Applicant(s):

三菱電機株式会社
ソニー株式会社
富士通株式会社

2003年 2月18日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3008712

【書類名】 特許願

【整理番号】 541535JP01

【提出日】 平成15年 2月 4日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 23/00

【発明者】

【住所又は居所】 東京都千代田区丸の内二丁目 2 番 3 号 三菱電機株式会社
社内

【氏名】 根本 義彦

【発明者】

【住所又は居所】 神奈川県川崎市中原区上小田中 4 丁目 1 番 1 号 富士通
株式会社内

【氏名】 星野 雅孝

【発明者】

【住所又は居所】 東京都品川区北品川 6 丁目 7 番 3 5 号 ソニー株式会社
内

【氏名】 米村 均

【特許出願人】

【識別番号】 000006013

【氏名又は名称】 三菱電機株式会社

【特許出願人】

【識別番号】 000002185

【氏名又は名称】 ソニー株式会社

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100057874

【弁理士】

【氏名又は名称】 會我 道照

【選任した代理人】

【識別番号】 100110423

【弁理士】

【氏名又は名称】 會我 道治

【選任した代理人】

【識別番号】 100084010

【弁理士】

【氏名又は名称】 古川 秀利

【選任した代理人】

【識別番号】 100094695

【弁理士】

【氏名又は名称】 鈴木 憲七

【選任した代理人】

【識別番号】 100111648

【弁理士】

【氏名又は名称】 梶並 順

【手数料の表示】

【予納台帳番号】 000181

【納付金額】 21,000円

【その他】 国等の委託研究の成果に係る特許出願（平成13年度、
新エネルギー・産業技術総合開発機構、「超高密度電子
S I 技術の研究開発（エネルギー使用合理化技術開発）
」委託研究、産業活力再生特別措置法第30条の適用を
受けるもの）

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項1】 主面に半導体回路を有するとともに、主面から裏面に向かって延びた貫通孔を有する半導体基板と、前記貫通孔に前記裏面から端部が突出して設けられた貫通電極とを備えた半導体装置の製造方法であって、
表面に前記半導体回路を有する基板本体に窪みを形成する工程と、
前記窪みの内壁面に絶縁膜を形成する工程と、
前記窪みに前記絶縁膜を介して導電材を埋め込み前記貫通電極となる埋め込み電極を形成する工程と、
前記表面に対する前記基板本体の裏側を、前記埋め込み電極の端面が露出するまで除去して前記貫通電極をなす工程と、
前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、
前記陽極酸化膜をエッチングにより除去して薄膜化した前記半導体基板を形成する工程と、
を含む半導体装置の製造方法。

【請求項2】 主面に半導体回路を有するとともに、主面から裏面に向かって延びた貫通孔を有する半導体基板と、前記貫通孔に前記裏面から端部が突出して設けられた貫通電極とを備えた半導体装置の製造方法であって、
表面に前記半導体回路を有する基板本体に窪みを形成する工程と、
前記窪みの内壁面に絶縁膜を形成する工程と、
前記窪みに前記絶縁膜を介して導電材を埋め込み前記貫通電極となる埋め込み電極を形成する工程と、
前記表面に対する前記基板本体の裏側を、前記窪みの底の手前まで除去する工程と、
前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、
前記陽極酸化膜をエッチングにより除去して前記貫通電極となし、かつ薄型化した前記半導体基板を形成する工程と、
前記貫通電極の端部を覆った前記絶縁膜を除去する工程と

を含む半導体装置の製造方法。

【請求項 3】 前記基板本体の前記裏面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜をエッチングにより削除する工程とを複数回繰り返す請求項 1 または請求項 2 に記載の半導体装置の製造方法。

【請求項 4】 前記陽極酸化膜をエッチングにより削除する工程の後に、さらに前記半導体基板の前記裏面を陽極酸化して陽極絶縁膜を形成する請求項 1 ないし請求項 3 の何れかに記載の半導体装置の製造方法。

【請求項 5】 前記半導体基板はシリコンまたはシリコンを主成分とする単結晶で構成され、前記絶縁膜はシリコン窒化膜で構成されている請求項 1 ないし請求項 4 の何れかに記載の半導体装置の製造方法。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

この発明は、主面に半導体回路を有するとともに、主面から裏面に向かって延びた貫通孔を有する半導体基板と、前記貫通孔に前記裏面から端部が突出して設けられた貫通電極とを備えた半導体装置の製造方法に関するものである。

【 0 0 0 2 】

【従来の技術】

従来、貫通電極を有する半導体装置は、例えば次の手順で製造される。

まず、表面に半導体回路を有する基板本体に窪みを形成した後、窪みの内壁面に絶縁膜を形成し、次に窪みに絶縁膜を介して導電材を埋め込み、貫通電極となる埋め込み電極を形成する。

その次に、基板本体の裏面を、窪みの底まで、即ち埋め込み電極の端面が露出するまで研削して貫通電極となし、引き続き基板本体の裏面をエッチングにより除去して貫通電極を裏面に突出させるとともに薄型化した半導体基板を形成した後、半導体基板の裏面全体および貫通電極の端面に絶縁膜を堆積する。

最後に貫通電極の端面を覆った絶縁膜を削除する（例えば、特許文献 1 参照）。

【 0 0 0 3 】

【特許文献1】

特開2001-53218号公報

【0004】

【発明が解決しようとする課題】

上記の半導体装置の製造方法によれば、基板本体を構成するシリコンをエッチングして貫通電極の端部を裏面から突出させなければならず、これにドライエッチングを用いた場合、その前工程での基板本体の研削による汚染などの影響が著しく均一なエッチングが困難であり、この汚染を取り除くために特殊な工程が必要であるという問題点があった。

また、ウェットエッチングを用いた場合には、連続的にシリコンで構成された基板本体の裏面を所定のエッチング量で停止させることが困難であり、貫通電極の裏面突出量の制御が困難であるという問題点もあった。

また、半導体基板の裏面全体および貫通電極の端面に絶縁膜を堆積した後、最後に貫通電極の端面を覆った絶縁膜を削除する工程が別途必要となり、それだけ工程が複雑であるという問題点もあった。

【0005】

この発明は、上記のような問題点を解決することを課題とするものであって、貫通電極の裏面突出量の制御が容易で、かつ正確である等の半導体装置の製造方法を提供することを目的とする。

【0006】

【課題を解決するための手段】

この発明に係る半導体装置の製造方法は、表面に半導体回路を有する基板本体に窪みを形成する工程と、窪みの内壁面に絶縁膜を形成する工程と、前記窪みに前記絶縁膜を介して導電材を埋め込み貫通電極となる埋め込み電極を形成する工程と、前記表面に対する前記基板本体の裏側を、前記埋め込み電極の端面が露出するまで除去して、前記貫通電極をなす工程と、前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜をエッチングにより除去して薄膜化した半導体基板を形成する工程とを含む。

【0007】

また、この発明に係る半導体装置の製造方法は、表面に半導体回路を有する基板本体に窪みを形成する工程と、前記窪みの内壁面に絶縁膜を形成する工程と、前記窪みに前記絶縁膜を介して導電材を埋め込み貫通電極となる埋め込み電極を形成する工程と、前記表面に対する基板本体の裏側を、前記窪みの底の手前まで除去する工程と、前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜をエッチングにより除去して前記貫通電極となし、かつ薄型化した半導体基板を形成する工程と、前記貫通電極の端部を覆った前記絶縁膜を除去する工程とを含む。

【 0 0 0 8 】

【発明の実施の形態】

実施の形態 1.

図 1 はこの発明の実施の形態 1 の半導体装置の製造方法の各工程における半導体装置の断面図である。

この半導体装置は、主面 1 に半導体回路 2 を有するとともに、主面 1 から裏面に向かって延びた貫通孔 3 を有する半導体基板 4 と、貫通孔 3 に裏面から突出部 5 a が突出して設けられた貫通電極 5 と、貫通電極 5 の周面を覆ったシリコン窒化膜で構成された絶縁膜 8 と、半導体基板 4 の裏面全域に設けられた絶縁膜である陽極酸化膜 1 0 とを備えている。

【 0 0 0 9 】

この半導体装置は、次に手順で製造される。

まず、表面に半導体回路 2 を有するシリコンで構成された基板本体 6 に窪み 7 を形成し、その窪み 7 の内壁面にシリコン窒化膜により絶縁膜 8 を形成し、その後、窪み 7 に絶縁膜 8 を介して導電材を埋め込み貫通電極 5 となる埋め込み電極 1 5 を形成する（図 1（a）参照）。

次に、基板本体 6 の裏側を、埋め込み電極 1 5 の端面が露出するまで除去して貫通電極 5 とする（図 1（b）参照）。基板本体 6 の裏側を除去する方法としては、機械的研削、化学的機械研磨、エッチングの何れでもよいし、これらの組み合わせでもよい。

その後、基板本体 6 の裏面を陽極酸化して二酸化シリコンで構成された陽極酸

化膜 9 を形成する（図 1（c）参照）。

次に、その陽極酸化膜 9 をウェットエッチングにより除去し、貫通電極 5 を裏面から突出させるとともに、薄型化した半導体基板 4 を形成する（図 1（d）参照）。このとき、陽極酸化膜 9 の形成、およびその陽極酸化膜 9 の除去を繰り返すことで半導体基板 4 の裏面から突出する突出部 5 a の突出量は調節される。

最後に、半導体基板 4 の裏面全体を陽極酸化して陽極酸化膜 1 0 を設ける（図 1（e））。

【 0 0 1 0 】

上記構成の半導体装置の製造方法によれば、図 1（c）に示すように、基板本体 6 の裏面を陽極酸化して陽極酸化膜 9 を形成しているが、この陽極酸化では、シリコンに電圧を印加し、薬液として適切なものを選択できることで、露出した貫通電極 5 の裏面に露出した面にはほとんど酸化膜は形成されず、基板本体 6 の裏面のシリコンのみに二酸化シリコンで構成された陽極酸化膜 9 が形成される。

このとき得られた陽極酸化膜 9 は、一般にシリコンの熱酸化膜に比べ膜質が悪く稠密でない性質があり、印加する電圧など陽極酸化の条件を選択することにより、容易にこの傾向を強めることができる。このようにして得られた陽極酸化膜 9 は一般にエッチング速度が速く簡単に除去できる。

【 0 0 1 1 】

また、この二酸化シリコンで構成された陽極酸化膜 9 の膜厚は表面から一定であり、エッチング液を選択することで、シリコン面である半導体基板 4 の面でエッチングが停止するため、エッチング厚が一定になり、結果として貫通電極 5 の突出部 5 a の突出量が一定に制御される。

さらに、絶縁膜 8 はシリコン窒化膜で形成されているため、図 1（d）に示すように、陽極酸化膜 9 の除去の際にはこのシリコン窒化膜はエッチングされずに残留することから、最終的に突出部 5 a の側壁に絶縁膜 8 が残り、絶縁性が向上する。

【 0 0 1 2 】

さらにまた、最後に、半導体基板 4 の裏面全体が陽極酸化により陽極絶縁膜 1 0 が形成されているので、一層の絶縁性の向上と化学的な安定性が得られる。

なお、このときの陽極絶縁膜 10 は、貫通電極 5 の突出部 5 a を形成するための陽極酸化膜 9 と異なり、陽極酸化条件を変えることで、熱酸化膜ほどではないものの、十分良好な稠密な膜質を得ることができる。

【0013】

実施の形態 2.

図 2 はこの発明の実施の形態 2 の半導体装置の製造方法の各工程における半導体装置の断面図である。

実施の形態 1 の半導体装置では、貫通電極 5 の突出部 5 a の側面は絶縁膜 8 で被覆されていたのに対して、この実施の形態の半導体装置では、貫通電極 5 の突出部 5 a の側面が露出している。他の構成は、実施の形態 1 と同様である。

【0014】

この半導体装置は、次に手順で製造される。

まず、表面に半導体回路 2 を有するシリコンで構成された基板本体 6 に窪み 7 を形成し、その窪み 7 の内壁面にシリコン窒化膜により絶縁膜 8 を形成し、その後、窪み 7 に絶縁膜 8 を介して導電材を埋め込み埋め込み電極 15 を形成する（図 2（a）参照）。

次に、基板本体 6 の裏側を、窪み 7 の底の手前まで除去する（図 2（b）参照）。基板本体 6 の裏側を除去する方法としては、機械的研削、化学的機械研磨、エッチングの何れでもよいし、これらの組み合わせでもよい。

その後、基板本体 6 の裏面を陽極酸化して二酸化シリコンで構成された陽極酸化膜 9 を形成する（図 2（c）参照）。

【0015】

次に、その陽極酸化膜 9 をウエットエッチングにより除去して貫通電極 5 とし、かつ薄型化した半導体基板 4 を形成する。このとき、陽極酸化膜 9 の形成、およびその陽極酸化膜 9 の除去を繰り返すことで半導体基板 4 の裏面から突出する貫通電極 5 の突出部 5 a の突出量が調節される（図 2（d）参照）。

この後、半導体基板 4 の裏面全体を陽極酸化して陽極絶縁膜 10 を形成する（図 2（e））。

そして、最後に貫通電極 5 の端部を覆った絶縁膜 8 を除去する（図 2（f））

【0016】

この実施の形態では、基板本体6および半導体基板4の裏面が陽極酸化されるときには、貫通電極5の端面はシリコン窒化膜である絶縁膜8で覆われているので、貫通電極5の突出部5aでの酸化や腐食は生じない。

また、貫通電極5の突出部5aを被覆した絶縁膜8が削除されるときには、既に半導体基板4の裏面の全域が陽極絶縁膜10で覆われているので、その絶縁膜8の除去による半導体基板4の裏面に対する影響は無い。

【0017】

さらに、実施の形態1と同様に、半導体基板4の裏面全体にわたって陽極絶縁膜10が設けられているので、一層の絶縁性の向上と化学的な安定性が得られる。

さらにまた、貫通電極5の突出部5aでは端面とともに側面も露出しているので、接合性が向上する。特に、嵌め合いによる接合に有効となる。

【0018】

【発明の効果】

以上説明したように、この発明の半導体装置の製造方法によれば、表面に半導体回路を有する基板本体に窪みを形成する工程と、前記窪みの内壁面に絶縁膜を形成する工程と、前記窪みに前記絶縁膜を介して導電材を埋め込み貫通電極となる埋め込み電極を形成する工程と、前記表面に対する前記基板本体の裏側を、前記埋め込み電極の端面が露出するまで除去して、前記貫通電極となす工程と、前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜をエッチングにより除去して薄膜化した半導体基板を形成する工程とを含むので、貫通電極の裏面突出量の制御が容易であるとともに、貫通電極の突出量が均一な半導体装置を簡単に得ることができる。また、半導体基板の裏面から突出した貫通電極の端部の端面を露出させる工程を設ける必要も無いという効果もある。

【0019】

また、この発明に係る半導体装置の製造方法によれば、表面に半導体回路を有する基板本体に窪みを形成する工程と、窪みの内壁面に絶縁膜を形成する工程と

、前記窪みに前記絶縁膜を介して導電材を埋め込み貫通電極となる埋め込み電極を形成する工程と、前記表面に対する基板本体の裏側を、前記窪みの底の手前まで除去する工程と、前記基板本体の裏面を陽極酸化して陽極酸化膜を形成する工程と、前記陽極酸化膜をエッチングにより除去して前記貫通電極となし、かつ薄型化した半導体基板を形成する工程と、前記貫通電極の端部を覆った前記絶縁膜を除去する工程とを含むので、貫通電極の裏面突出量の制御が容易であるとともに、貫通電極の突出量が均一な半導体装置を簡単に得ることができる。また、半導体基板の裏面から突出した貫通電極の端部の端面とともに側面も露出しており、接合性が向上した半導体装置を簡単に得ることができるという効果もある。

【図面の簡単な説明】

【図 1】 この発明の実施の形態 1 の半導体装置の製造方法の各工程における半導体装置の断面図である。

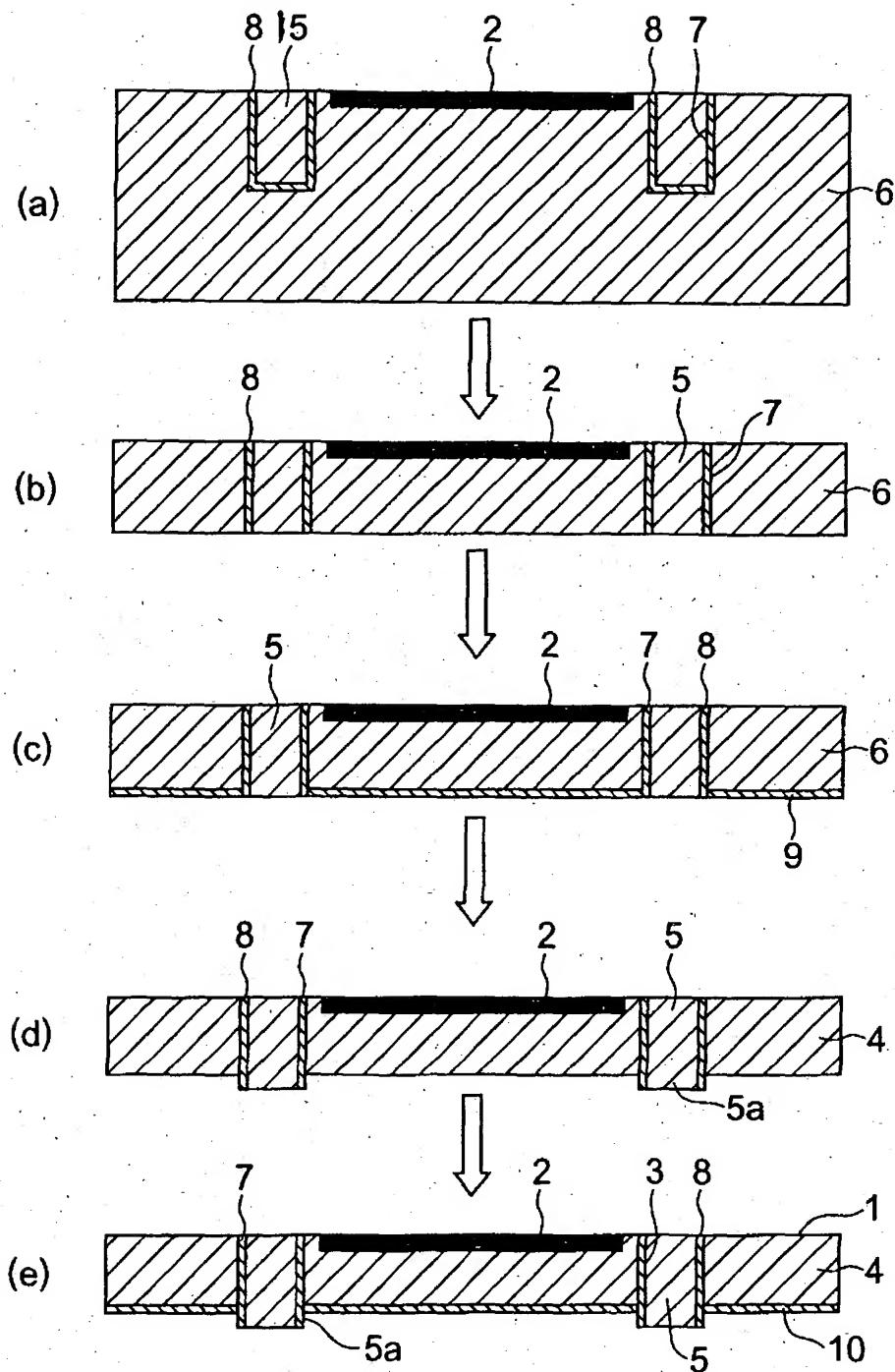
【図 2】 この発明の実施の形態 2 の半導体装置の製造方法の各工程における半導体装置の断面図である。

【符号の説明】

1 主面、2 半導体回路、3 貫通孔、4 半導体基板、5 貫通電極、6 基板本体、7 窪み、8 絶縁膜、9 陽極酸化膜、10 陽極絶縁膜、15 埋め込み電極。

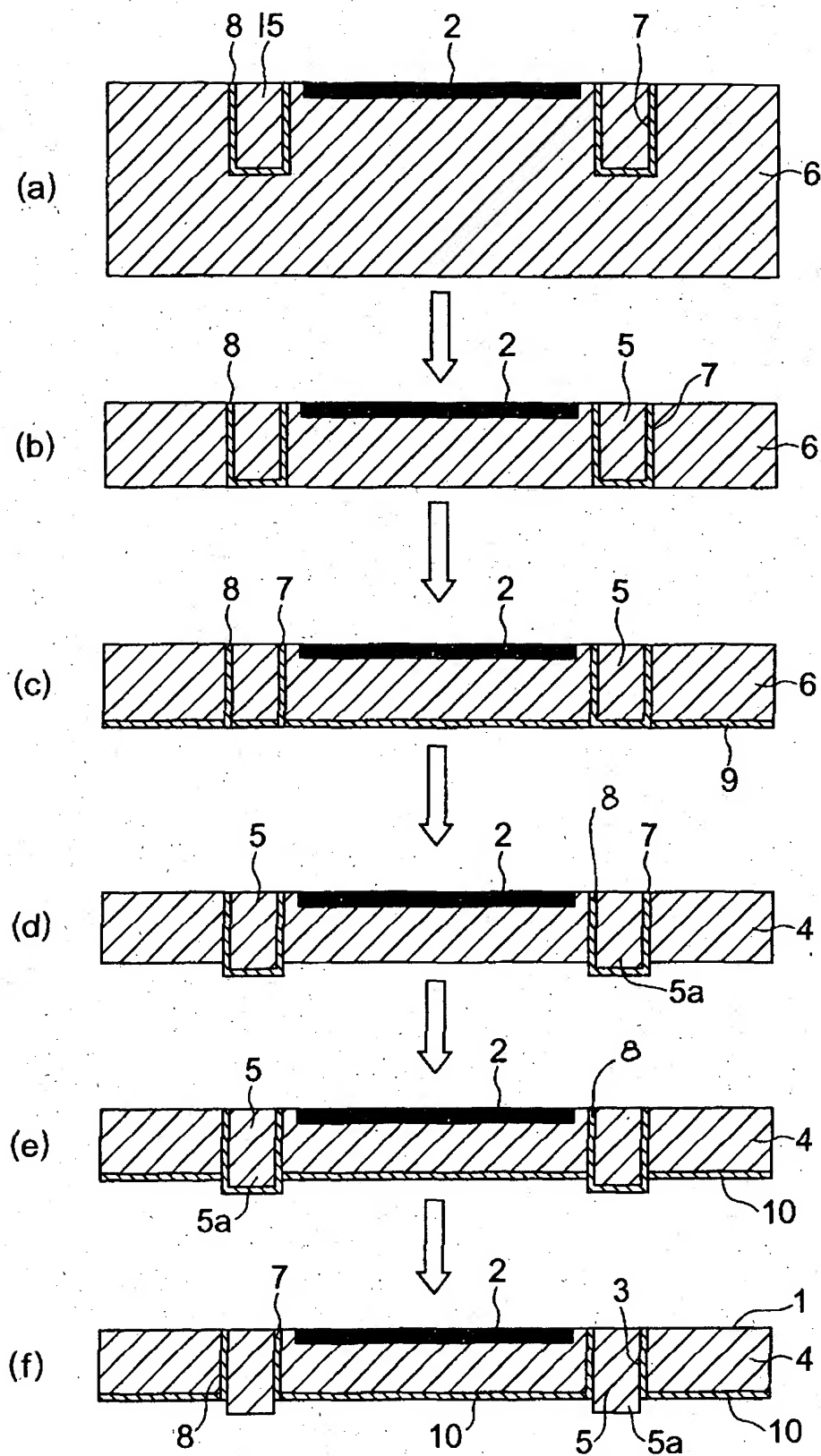
【書類名】 図面

【図1】



- | | |
|---------|----------|
| 1:主面 | 6:基板本体 |
| 2:半導体回路 | 7:窪み |
| 3:貫通孔 | 8:絶縁膜 |
| 4:半導体基板 | 9:陽極酸化膜 |
| 5:貫通電極 | 10:陽極絶縁膜 |

【図2】



【書類名】 要約書

【要約】

【課題】 貫通電極の裏面突出量の制御が容易で、かつ正確である等の半導体装置の製造方法を得る。

【解決手段】 表面に半導体回路 2 を有する基板本体 6 に窪み 7 を形成する工程と、窪み 7 の内壁面に絶縁膜 8 を形成する工程と、窪み 7 に絶縁膜 8 を介して導電材を埋め込み貫通電極 5 となる埋め込み電極 1 5 を形成する工程と、表面に対する基板本体 6 の裏側を、埋め込み電極 1 5 の端面が露出するまで除去して貫通電極 5 とする工程と、基板本体 6 の裏面を陽極酸化して陽極酸化膜 9 を形成する工程と、陽極酸化膜 9 をエッチングにより除去して半導体基板 4 を形成する工程とを含む。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000006013]

1. 変更年月日 1990年 8月24日
[変更理由] 新規登録
住 所 東京都千代田区丸の内2丁目2番3号
氏 名 三菱電機株式会社

出 願 人 履 歴 情 報

識別番号 [000002185]

1. 変更年月日 1990年 8月30日
[変更理由] 新規登録
住 所 東京都品川区北品川6丁目7番35号
氏 名 ソニー株式会社

出 願 人 履 歴 情 報

識別番号 [000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社